

拒絶理由通知書

(Office Action)

↑ Date of Dispatch

Y(2008) / M (Apr) / D (8)

特許出願の番号

特願2004-500275

起案日

平成20年 4月 1日

特許庁審査官

橋本 直明

9707 2G00

特許出願人代理人

松田 正道 様

適用条文

第29条第2項、第29条の2、第36条

<<< 最 後 >>>

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から60日以内に意見書を提出してください。

理 由

[理由1]

この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1-10について; 引用文献1-12】

(備考)

<請求項1-2, 4, 6-7について; 引用文献1-3, 周知例4-5>

引用文献1(図2等参照)、引用文献2(図5等参照)に記載されているようなカレントミラー構成のドライバ回路において、引用文献3(図10, 11, 19, 20等参照)に記載されているようなカレントミラー構成のドライバ回路のトランジスタ群の集合の両端にトランジスタ又はトランジスタ群を配置する改良技術を採用することは、当業者であれば容易になし得ることである。

また、トランジスタサイズの異なる出力側トランジスタを用いる代わりに、出力側トランジスタの個数により出力電流量を設定することは、例えば、文献4-5に記載されているような周知技術或いは慣用手段の付加に過ぎないから、複数のトランジスタからなるトランジスタ群が更に複数あるという点は、実質的な相違点ではない。

<請求項3について；引用文献1－3，周知例4－5，6－9>

例えば、文献6（図4等参照）、文献7、文献8（図6，7等参照）、文献9等に記載されているように、カレントミラー回路等の電流出力回路の調整のために、トランジスタ群にトリミング箇所を設けることは、周知技術又は慣用的手段の付加に過ぎない。

<請求項5について；引用文献1－3，周知例4－5>

配線抵抗は原理的にゼロに出来ないから、ゲート配線に抵抗回路が形成される点は相違点にならない。

<請求項8について；引用文献1－3，周知例4－5>

ドライバ回路を基板上に実装する点は、引用文献2に記載されている。

請求項8のそれ以外の点は、理由3で述べるように、不明確であるが、配線の形成位置は当業者が適宜に定められる設計的事項に過ぎない。

<請求項9について；引用文献1－3，周知例4－5，10－11>

例えば、文献10（図22－25等参照）、文献11（【0045】－【0048】）に記載されているように、高速化のために、プリチャージ回路やディスクチャージ回路を設けることは、周知技術の付加に過ぎない。

<請求項10について；引用文献1－3，周知例4－5，10，12>

例えば、文献10（図11及び第23－24頁の説明参照）、文献12（図5等参照）に記載されているように、輝度制御のために、EL素子の電流経路中にスイッチ用トランジスタを設けて、複数走査線単位でオンオフ制御することによって帯状の非表示領域又は表示領域を発生させ、その領域を走査させることは、周知技術の付加又は周知技術の画素回路への単なる置換に過ぎない。

引用文献1，2に記載されているようなドライバ回路が、それら周知技術の画素回路を有するEL表示装置に適用可能であることは、技術常識的に自明なことである。

[理由2]

この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に特許掲載公報の発行又は出願公開がされた下記の特許出願の願書に最初に添付された明細書、特許請求の範囲又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願の時において、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

[優先権主張の有効性について]

優先権主張の基礎出願となっている特願2002-127532号、特願2002-127637号、特願2002-284393号には、「複数の前記複数の単位トランジスタからなるトランジスタ群の集合」の両端に、第1、2の「トランジスタ群」を配置する構成は記載されていないので、「トランジスタまたはトランジスタ群」という選択肢から「トランジスタ群」を選択した場合の請求項1-10に係る発明については、優先権主張の効果を認められない。

そのため、当該請求項1-10に係る発明についての特許法第29条の2の判断の基準日は、本願の実際の出願日（国際出願日）である平成15年3月5日である。

【請求項1-10について；先願13】

(備考)

<請求項1-2、4、6-7について>

先願13明細書に記載された発明と実質的に同一の発明である。

【0056】に、EL表示装置を対象とすることが記載されている。

カレントミラー回路の入力側トランジスタについて、ゲート端子を共通にするトランジスタ群で構成する点は、例えば、文献3、8-9等に記載されているような周知技術又は慣用手段の付加に過ぎない。

そして、こうしたことによって、従来技術から予測し得ない特有の効果が奏されることもない。

<請求項3、8-10について>

理由1で述べたように、周知技術の付加や単なる設計事項の相違に過ぎず、且つ、従来技術から予測し得ない特有の効果が奏されることもないから、実質的に同一の発明である。

周知例等は、理由1の記載を参照されたい。

引 用 文 献 等 一 覧 (List of cited references)

1. 特開2000-105574号公報
2. 特開2000-122608号公報
3. 特開2000-310981号公報
4. 特開平04-042619号公報
5. 特開平06-314977号公報
6. 特開平06-061955号公報
7. 特開平06-132739号公報
8. 特開平06-161580号公報

9. 特開平09-195141号公報
10. 國際公開第01/06484号
11. 特開2002-014644号公報
12. 特開2001-060076号公報
13. 特願2002-367857号 (特開2004-198770号)

[理由3]

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

(1) 請求項1に係る発明において、「トランジスタ群の集合の一端」、「他端」という発明特定事項があるが、それぞれ意味が不明確である。

一般的に、「トランジスタ群の集合」という概念に、特定の形状や配列構造などは含意されるものではないから、そのような不定形の概念の「端」部とはどのような位置を意味するのかが想定できない。

また、図215-220の特定の実施例の形状や配列構造に限定された意味で解釈できるような用語の定義も存在していない。

(ドライバ回路内で単位トランジスタを常に横一列に並べる必然性はなく、縦横にマトリクス状に配置することも可能であり、仮に、横一列で並べる場合でも、左右の端部以外に上下の端部もあるから、曖昧に「端」とするだけでは、どのような構造を特定しようとしているのかが一意的に定まりません。)

(2) 請求項8に係る発明において、「アノード配線」、「カソード配線」という発明特定事項があるが、請求項1に係る発明において、画素回路構成やEL素子の構造を規定していないので、アノードやカソードが有るのか否かも定かではないので、当該発明特定事項が何を意味しているのかが不明確である。

よって、請求項1-10に係る発明は明確でない。

なお、この拒絶理由3の解消と、新規性・進歩性の要件の判断とは直接関係しません。純粹に記載上の問題を指摘する理由です。

最後の拒絶理由通知とする理由

最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。

整理番号: 発送番号:191356 発送日:平成20年 4月 8日 5/E

この拒絶理由通知の内容に問い合わせがある場合、または、この案件について面接を希望する場合は、特許審査第一部ナノ物理の橋本までご連絡下さい。

TEL 03-3581-1101 (内線3225) 、FAX 03-3592-8858

Notice of reasons for refusal

Japanese Patent Application No.2004-500275

Sending date April 8, 2008

Reasons

[Reason 1]

The invention described in the claim mentioned below of the subject application should not be granted a patent under Patent Law Section 29(2) since it could have easily been made prior to the filing of the subject application by a person who has common knowledge in the technical field to which the invention pertains, on the basis of an invention described in the publications mentioned below which were distributed or an invention made available to the public through electric telecommunication lines in Japan or foreign countries prior to the filing of the subject application.

Notes (With regard to the cited documents etc., see the list of cited documents etc. below.)

[With regard to claims 1 to 10; Cited documents 1 to 12]

(Remarks)

<With regard to claims 1, 2, 4, 6, and 7; Cited documents 1 to 3, and Well-known examples 4 and 5>

It can be easily made by a person skilled in the art that the improved art of disposing transistors or transistor groups at both ends of the collection of transistor groups of the driver circuit of such a current mirror configuration as described in the cited document 3 (see FIGS. 10, 11, 19, 20 and the like) is employed in the driver circuit of such a current mirror configuration as described in the cited document 1 (see FIG. 2 and the like) and the cited document 2 (see FIG. 5 and the like).

Setting the amount of output current depending on the number of output-side transistors, instead of using output-side transistors having transistor sizes different from each other, is only addition of such well-known art or commonly used means as described, e.g., in the documents 4 and 5. Therefore, a plurality of transistor groups each consisting of a plurality of transistors does not correspond to a substantial difference.

<With regard to claim 3; Cited documents 1 to 3, and Well-known examples 4, 5, and 6 to 9>

For example, to provide the transistor group with a trimming portion for adjustment of the current output circuit such as a current mirror circuit as described in the document 6 (see FIG. 4 and the like), the document 7, the document 8 (see FIGS. 6, 7 and the like), the document

9 and the like is only addition of a well-known art or commonly used means.

<With regard to claim 5; Cited documents 1 to 3, and Well-known examples 4 and 5>

Since the line resistance cannot be made to zero theoretically, formation of a resistance circuit on the gate line does not correspond to a difference.

<With regard to claim 8; Cited documents 1 to 3, and Well-known examples 4 and 5>

Mounting a driver circuit on the substrate is described in the cited document 2.

Although the points other than the above of claim 8 are unclear as will be stated in the reason 3, the position of forming the lines is only a matter of design modification that can be suitably set by a person skilled in the art.

<With regard to claim 9; Cited documents 1 to 3, and Well-known examples 4, 5, 10, and 11>

For example, to provide a pre-charge circuit or a discharge circuit for speeding up as described in the document 10 (see FIGs. 22 to 25 and the like) and the document 11 (paragraphs [0045] to [0048]) is only addition of a well-known art.

<With regard to claim 10; Cited documents 1 to 3, and Well-known examples 4, 5, 10 and 12>

For example, as described in the document 10 (see FIG. 11 and description on pages 23 to 24) and the document 12 (see FIG. 5 and the like), a transistor for switching is provided for luminance control in the current path of the EL element to perform on-off control by a plurality of scanning lines as a unit, thereby generating a non-display or display area in a band shape to scan this area. This is only addition of a well-known art or only replacement in a pixel circuit of a well-known art.

It is obvious from the viewpoint of common general technical knowledge that such a driver circuit as described in any one of the cited documents 1 and 2 can be applied to an EL display device having a pixel circuit of the well-known art.

[Reason 2]

The invention described in the claim mentioned below of the subject application should not be granted a patent under Patent Law Section 29bis since it is identical to an invention described in the specification, claims or drawings originally attached to the request of the application for patent mentioned below, which had been

filed prior to the filing date of the subject application and for which an official gazette was issued or which was laid open after the filing of the subject application, the inventor of the subject application is not identical to the inventor who has made the above invention according to the patent application prior to the filing of the subject application, and the applicant of the subject application is not identical to the applicant of the above patent application at the time of filing of the subject application.

Notes (With regard to the cited documents etc., see the list of cited documents etc. below.)

[With regard to validity of claim of priority]

None of Japanese Patent Applications Nos. 2002-127532, 2002-127637 and 2002-284393, which are the basic applications of claim of priority, describes the constitution of disposing the first and second "transistor groups" at both ends of "the collection of a plurality of transistor groups consisting of the plurality of unit transistors". Therefore, the effect of claiming priority is not approved regarding the inventions described in claims 1 to 10 in the case of selecting "the transistor group" from the alternatives of "the transistor and the transistor group".

Therefore, the reference date of adjudication of the inventions described in claims 1 to 10 under Patent Law Section 29bis is March 5, 2003, which is the actual filing date (international filing date) of the subject application.

[With regard to claims 1 to 10; Prior application 13]

(Remarks)

<With regard to claims 1, 2, 4, 6, and 7>

The invention described in claims 1, 2, 4, 6, and 7 are substantially identical to the invention described in the specification of the prior application 13.

In paragraph [0056], there is described that the EL display device is the subject.

The input-side transistors of the current mirror circuit are made of a transistor group sharing a gate terminal. This is only addition of a well-known art or commonly used means as described, e.g., in the documents 3, 8, and 9.

Also, such a configuration generates no peculiar effect that cannot be predicted from the conventional art.

<With regard to claims 3 and 8 to 10>

The inventions described in claims 3 and 8 to 10 are also substantially identical since there is only addition

of a well-known art or a mere difference of a matter of design modification as described in the reason 1, and a peculiar effect that cannot be predicted from the prior art is not obtained.

For the well-known examples and the like, refer to the description in the reason 1.

list of cited references

1. Japanese patent Laid-Open No.2000-105574
2. Japanese Patent Laid-Open No.2000-122608
3. Japanese Patent Laid-Open No.2000-310981
4. Japanese Patent Laid-Open No.Hei04-042619
5. Japanese Patent Laid-Open No.Hei06-314977 PC 10-15-07
6. Japanese Patent Laid-Open No.Hei06-061955
7. Japanese Patent Laid-Open No.Hei06-132739
8. Japanese Patent Laid-Open No.Hei06-161580
9. Japanese Patent Laid-Open No.Hei09-195141
10. International Publication WO01/06484 PC 10-25-04
11. Japanese Patent Laid-Open No.2002-014644 PC 1-30-08
12. Japanese Patent Laid-Open No.2001-060076 PC 10-25-04
13. Japanese Patent Application No.2002-367857
(Japanese Patent Laid-Open No.2004-198770)

[Reason 3]

The subject application does not comply with the

requirements of Patent Law Section 36(6)(ii) on the points mentioned below with regard to the description of claims.

Notes

(1) There are matters for specifying the invention, i.e., "one end of a collection of transistor groups" and "the other end", in the invention described in claim 1. However, their respective meanings are unclear.

In general, the concept of "the collection of transistor groups" does not include a specific shape or an arrangement structure. Therefore, it cannot be obtained which position is meant by the "end" portion of such an indefinite concept.

There exists no definition of the term that allows the term to be construed in the meaning limited to the shape and the arrangement structure according to the specific example illustrated in FIGs. 215 to 220.

(In a driver circuit, unit transistors need not always to be laterally aligned in a line, but they may be vertically and laterally arranged in a matrix. Even in a case where they are laterally aligned in a line, only an ambiguous expression of "end" does not definitely define what structure is to be specified, since there are top and bottom end portions in addition to right and left end portions.)

(2) There are matters for specifying the invention, i.e., the "anode wiring" and the "cathode wiring", in the invention described in claim 8. However, since the configuration of the pixel circuit and the structure of the EL device are not provided in the invention described in claim 1, it is not clear whether there are provided an anode and a cathode. Therefore, it is unclear what is meant by the matters concerned for specifying the invention.

Thus, the inventions described in claims 1 to 10 are not clear.

It should be noted that dissolving this reason 3 for refusal does not directly relate to judging the requirements of novelty and an inventive step. This reason 3 simply indicates description problems.

Reasons why this is issued as the final notification of reasons for refusal

This notification is to notify only the reasons for refusal which are necessitated by amendments made in response to the initial notification of reasons for refusal.